กิตติกรรมประกาศ

รายงานการวิจัยเรื่องการออกแบบและพัฒนาวงจรกรองผ่านทุกความถี่ลำดับหนึ่งโหมดกระแสและการประยุกต์ใช้งาน สำเร็จได้เนื่องจากบุคคลหลายท่านได้กรุณาช่วยเหลือให้ข้อมูล ข้อเสนอแนะ คำปรึกษาแนะนำ ความคิดเห็น และกำลังใจแก่ผู้เขียน

ผู้เขียนขอขอบคุณอาจารย์ทุกท่านของคณะเทคโนโลยีอุตสาหกรรม ที่ได้ให้คำแนะนำและกำลังใจในการทำงาน และขอขอบคุณมหาวิทยาลัยราชภัฏสวนสุนันทาที่ได้สนับสนุนทุนในการทำวิจัยในครั้งนี้

ท้ายสุดนี้ ขอกราบขอบพระคุณบิดา มารดา และผู้มีพระคุณทุกท่านที่ได้ช่วยส่งเสริม สนับสนุนกระตุ้นเตือน และเป็นกำลังใจตลอดมาให้ผู้เขียนจัดทำรายงานการวิจัย

ทศพร นาคย้อย

กันยายน 2554

สารบัญ

	หน้า
กิตติกรรมประกาศ	(1)
บทคัดย่อ	(2)
ABSTRACT	(3)
สารบัญ	(4)
สารบัญภาพ	(6)
สารตาราง	(8)
บทที่ 1 บทนำ	1
1.1 ความสำคัญและที่มาของปัญหา	1
1.2 วัตถุประสงค์	3
1.3 สมมติฐานของการวิจัย	3
1.4 ประโยชน์ที่คาดว่าจะได้รับ	3
1.5 ขอบเขตของการวิจัย	3
บทที่ 2 ทฤษฎีและงานวิจัยที่เกี่ยวข้อง	5
2.1 มอสทรานซิสเตอร์	5
2.2 วงจรสะท้อนกระแส	11
2.3 วงจรขยายความนำถ่ายโอน	18
2.4 ทฤษฎีเบื้องต้นของวงจรขยายความนำส่งผ่านกระแส	22
2.5 หลักการของวงจรกำเนิดสัญญาณ	24
2.6 หลักการกำเนิดสัญญาณซายน์แบบหลายเฟส	30
2.7 งานวิจัยที่เกี่ยวข้อง	39
2.8 สรุป	43
บทที่ 3 วิธีดำเนินการวิจัย	44
3.1 การออกแบบและพัฒนาวงจรกรองผ่านทุกความถี่ลำดับหนึ่งโหมดกระแส	46
3.2 การวิเคราะห์วงจรในกรณีไม่เป็นอุดมคติ	48
3.4 การออกแบบและพัฒนาวงจรประยุกต์ใช้งาน	53
3.5 สรุป	64

สารบัญ (ต่อ)

	หน้า
บทที่ 4 ผลการวิจัย	65
4.1 ผลการจำลองการทำงานของวงจรกรองผ่านทุกความถี่ลำดับหนึ่ง	65
4.2 ผลการจำลองการทำงานของวงจรกำเนิดสัญญาณซายน์แบบควอเดรเจอร์	68
4.3 ผลการจำลองการทำงานของวงจรกำเนิดสัญญาณซายน์แบบหลายเฟส	70
4.4 ผลการจำลองการทำงานของวงจรกำจัดแถบความถี่	72
4.5 ผลการทดลองวงจรด้วยการต่อวงจรจริง	74
4.6 สรุป	77
บทที่ 5 สรุปผลการวิจัยและข้อเสนอแนะ	78
5.1 สรุปผล	78
5.2 ข้อเสนอแนะ	79
บรรณานุกรม	80
ภาคผนวก	
ภาคผนวก ก แบบจำลองของมอสทรานซิสเตอร์ที่ใช้ในงานวิจัย	84
ภาคผนวก ข ผลงานวิจัยที่ได้ตีพิมพ์	85
ประวัติผู้ทำรายงานการวิจัย	101

สารบัญภาพ

ภาพที่	หน้า
2.1 โครงสร้างของ NMOS	6
2.2 โครงสร้างของ PMOS	7
2.3 การไบอัส (ก) NMOS (ข) PMOS	8
2.4 สัญลักษณ์แบบต่างๆของมอสเฟต	9
2.5 คุณสมบัติทางเอาต์พุตของมอสเฟต	11
2.6 บล็อกไดอะแกรมของวงจรสะท้อนกระแส (ก) ชนิดบวก (ข) ชนิดลบ	12
2.7 วงจรสะท้อนกระแสแบบพื้นฐานที่ใช้มอสชนิดเอ็นแชนแนล	13
2.8 คุณสมบัติที่เอาต์พุตของวงจรในภาพที่ 2.7 ในกรณี M_1 และ M_2 สมพงษ์กัน	14
2.9 (ก) แบบจำลองสัญญาณขนาดเล็กของ M_1 (ข) วงจรสมมูลย์ของแบบจำลองสัญญาณขนาดเล็กของ M_1	15
2.10 (ก) แบบจำลองสัญญาณขนาดเล็กของวงจรสะท้อนกระแส (ข) วงจรสมมูลของแบบจำลองสัญญาณขนาดเล็กของภาพ (ก)	16
2.11 วงจรสมมูลย์ของสัญญาณขนาดเล็กของวงจรสะท้อนกระแสในภาพที่ 2.7	16
2.12 วงจรสะท้อนกระแสแบบมีจุดออกหลายจุด	17
2.13 สัญลักษณ์ของ OTA	18
2.14 วงจรสมมูลย์ทางอุดมคติของ OTA	18
2.15 วงจรขยายความนำถ่ายโอนชนิดใช้มอสทรานซิสเตอร์อย่างง่าย	19
2.16 กราฟความสัมพันธ์ระหว่างกระแสจุดออก ที่เป็นฟังก์ชั่นของแรงดันผลต่างอินพุต	20
2.17 วงจรสมบูรณ์ของ OTA ที่มีโครงสร้างแบบมอสทรานซิสเตอร์	21
2.19 CFTA (ก) สัญลักษณ์ (ข) วงจรสมมูล	23
2.19 บล็อกไดอะแกรมแสดงองค์ประกอบของวงจรกำเนิดสัญญาณ	25
2.20 บล็อกไดอะแกรมของวงจรที่มีการป้อนกลับแบบบวก	26
2.21 ความหมายทางเกณฑ์ของบาร์คฮูเซ่น	27
2.22 โครงสร้างวงจรกำเนิดสัญญาณซายน์เฟสเดียว	29
2.23 การดัดแปลงของวงจรกำหนดความถี่	31

สารบัญภาพ (ต่อ)

ภาพที่ **หน้า**

2.24 ผลตองสนองของวงจรกรองความถี่ต่ำผ่าน 33
2.25 โครงสร้างของวงจรกำเนิดสัญญาณซายน์หลายเฟสที่
สร้างทรานส์เฟอร์ฟังก์ชันของวงจรกรองความถี่ต่ำผ่าน 34
2.26 สัญญาณซายน์ 3 เฟสที่มีความต่างเฟสของสัญญาณข้างเคียง 120 องศา 35
2.27 สัญญาณซายน์ 3 เฟสที่มีความต่างเฟสของสัญญาข้างเคียง 60 องศา 35
2.28 ผลตอบสนองทางเฟสของวงจรกรองผ่านทุกความถี่ตามสมการที่ 2.30 36
2.29 ผลตอบสนองทางเฟสของวงจรกรองผ่านทุกความถี่ตามสมการที่ 2.31 37
2.30 โครงสร้างของวงจรกำเนิดสัญญาณซายน์หลายเฟสที่
ใช้วงจรกรองผ่านทุกความถี่ 37
2.31 วงจรกรองผ่านทุกความถี่ลำดับหนึ่งโหมดกระแสที่ใช้ DVCC 39
2.32 วงจรกรองผ่านทุกความถี่ลำดับหนึ่งโหมดกระแสที่ใช้ COA เพียงตัวเดียว 40
2.33 วงจรกำเนิดสัญญาณซายน์แบบหลายเฟสที่ใช้ CDTA 40
2.34 วงจรกรองผ่านทุกความถี่ลำดับหนึ่งโหมดกระแสที่ใช้ CCII 41
2.35 วงจรกรองผ่านทุกความถี่ลำดับหนึ่งโหมดกระแสที่ใช้ CCCII 42
2.36 วงจรกรองผ่านทุกความถี่ลำดับหนึ่งโหมดกระแสที่ใช้ CDTA เพียงตัวเดียว
ที่ควบคุมอัตราขยายกระแสได้ 42
2.37 วงจรกรองผ่านทุกความถี่ลำดับหนึ่งโหมดกระแสที่ใช้ CDTA จำนวน 2 ตัว 43
3.1 ขั้นตอนดำเนินงานวิจัย 45
3.2 วงจรกรองผ่านทุกความถี่ลำดับหนึ่งโหมดกระแส 46
3.3 วงจรเทียบเคียงของ CFTA เมื่อพิจารณาที่ความถี่สูง 50
3.4 วงจรกรองผ่านทุกความถี่ลำดับหนึ่งเมื่อพิจารณาที่ความถี่สูง 51
3.5 แผนผังการพัฒนาวงจรกำเนิดสัญญาณ 54
3.6 วงจรอินทิเกรเตอร์ที่ไม่มีการสูญเสียแบบกลับเฟส 55
3.7 วงจรกำเนิดสัญญาณรูปคลื่นซายน์แบบควอเดรเจอร์โหมดกระแส 56
3.8 โครงสร้างของวงจรกำเนิดสัญญาณซายน์ n เฟส 58
3.9 โครงสร้างของวงจรขยายกระแสที่ใช้ CFTA 58

สารบัญภาพ (ต่อ)

ภาพที่ **หน้า**

3.10 วงจรกำเนิดสัญญาณซายน์ n เฟส 51
3.11 โครงสร้างของวงจรกำจัดแถบความถี่อันดับสอง 62
3.12 วงจรกำจัดแถบความถี่อันดับสอง 63
4.1 โครงสร้างภายในของ CFTA ที่ใช้ในการจำลองการทำงาน 66
4.2 ผลตอบสนองทางความถี่ของวงจรกรองผ่านทุกความถี่ลำดับหนึ่ง 66
4.3 ผลตอบสนองทางเฟสของวงจรกรองผ่านทุกความถี่ลำดับหนึ่งเมื่อปรับค่า I_B 67
4.4 ผลตอบสนองทางโดเมนเวลาที่ความถี่ต่างๆ 68
4.5 ผลการจำลองวงจรกำเนิดสัญญาณซายน์แบบควอเดรเจอร์ที่ความถี่ 2.28MHz 69
4.6 ผลการจำลองวงจรกำเนิดสัญญาณซายน์แบบควอเดรเจอร์ที่ความถี่ 4.444MHz 70
4.7 ผลการจำลองวงจรกำเนิดสัญญาณ 3 เฟสที่ความถี่ 1.263MHz 71
4.8 ผลการจำลองวงจรกำเนิดสัญญาณ 3 เฟสที่ความถี่ 2.42MHz 72
4.9 ผลตอบสนองทางขนาดและเฟส 73
4.10 ผลตอบสนองทางขนาดเมื่อเปลี่ยนแปลงค่า I_{B1} 73
4.11 โครงสร้างภายในของ CFTA ที่ใช้ในการทดลองจริง 74
4.12 วงจรที่ใช้ในการทดลองจริง 75
4.13 ผลการทดสอบวงจรที่ความถี่ต่างๆ 76
4.14 ผลการทดสอบที่ค่ากระแสไบอัสต่างๆ 77

สารบัญตาราง

ตารางที่ **หน้า**

2.1 ความสัมพันธ์ของจำนวนเฟสเงื่อนไขและความถี่ของการออสซิลเลต ของโครงสร้างวงจรตามภาพที่ 2.25(ก) 33

2.2 ความสัมพันธ์ของจำนวนเฟสเงื่อนไขและความถี่ของการออสซิลเลต ของโครงสร้างวงจรตามภาพที่ 2.25(ข) 34

4.1 ขนาดของทรานซิสเตอร์ 65